

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183403

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8244

27/11

29/786

7210-4M

H 0 1 L 27/ 10

3 8 1

9056-4M

29/ 78

3 1 1 P

審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平5-328888

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 川村 昭男

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

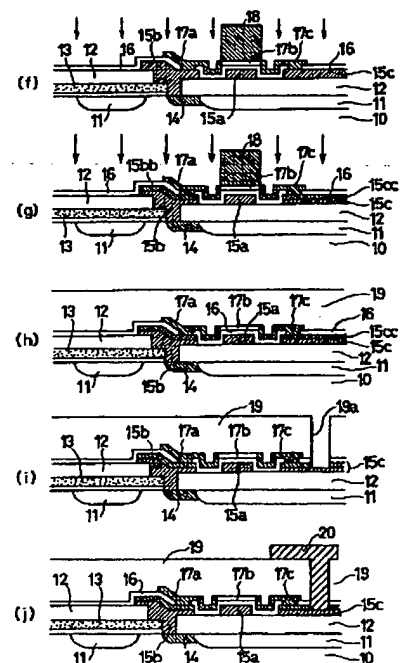
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【構成】 一対のドライブトランジスタと一対の負荷 T F T とからなるフリップフロップ回路と、該フリップフロップ回路に接続された一対のアクセストランジスタとから構成されるメモリセルを備えており、前記 T F T の一方のソース/ドレイン領域が、少なくとも、一方のドライブトランジスタのソース/ドレイン領域及び他方のドライブトランジスタのゲートのいずれかと半導体膜を介して接続されるとともに、前記 T F T の他方のソース/ドレイン領域が、半導体膜を介して配線層に接続されており、前記半導体膜の少なくとも表面層が、前記 T F T のソース/ドレイン領域と同じ導電型を有している半導体装置。

【効果】 半導体膜の P N 接合を同じ半導体膜内に形成することにより、P N 接合の接合面積を増加させることができ、メモリセルへの安定した電源供給を行うことができる。



【特許請求の範囲】

【請求項 1】 ゲート、ゲート酸化膜及びソース／ドレイン領域からなる一対のドライブトランジスタと、前記一対のドライブトランジスタと接続され、かつゲート電極、ゲート酸化膜及びソース／ドレイン領域を有する活性層が順次積層されて構成されている一対の負荷 TFT とからなるフリップフロップ回路と、該フリップフロップ回路に接続された一対のアクセストランジスタとから構成されるメモリセルを備えており、

前記 TFT の一方のソース／ドレイン領域が、少なくとも、一方のドライブトランジスタのソース／ドレイン領域及び他方のドライブトランジスタのゲートのいずれかと半導体膜を介して接続されるとともに、前記 TFT の他方のソース／ドレイン領域が、半導体膜を介して配線層に接続されており、
前記半導体膜の少なくとも表面層が、前記 TFT のソース／ドレイン領域と同じ導電型を有していることを特徴とする半導体装置。

【請求項 2】 TFT のソース／ドレイン領域が LDD 構造で形成されている請求項 1 記載の半導体装置。

【請求項 3】 ゲート、ゲート酸化膜及びソース／ドレイン領域からなる一対のドライブトランジスタと、前記一対のドライブトランジスタと接続され、かつゲート電極、ゲート酸化膜及びソース／ドレイン領域を有する活性層が順次積層されて構成されている一対の負荷 TFT とからなるフリップフロップ回路と、該フリップフロップ回路に接続された一対のアクセストランジスタとから構成されるメモリセルを備えており、
前記 TFT の一方のソース／ドレイン領域が、不純物拡散防止性導電膜を介して半導体膜及び少なくとも一方のドライブトランジスタのソース／ドレイン領域と他方のドライブトランジスタのゲートのいずれかと接続されるとともに、前記 TFT の他方のソース／ドレイン領域が、不純物拡散防止性導電膜及び半導体膜を介して配線層に接続されていることを特徴とする半導体装置。

【請求項 4】 不純物拡散防止性導電膜が窒化チタンである請求項 3 記載の半導体装置。

【請求項 5】 TFT のソース／ドレイン領域が LDD 構造で形成されている請求項 3 記載の半導体装置。

【請求項 6】 (i) 半導体基板上にドライブトランジスタを形成した後、該ドライブトランジスタ上に層間絶縁膜を形成し、該層間絶縁膜の所望の領域に前記ドライブトランジスタとの接続を得るためのコンタクトホールを形成し、(ii) 該コンタクトホールを含む半導体基板上に半導体を積層し、所望の形状にパターニングして TFT のゲート電極及び半導体膜を形成し、(iii) 該ゲート電極及び半導体膜上にゲート酸化膜を形成し、前記半導体膜上のゲート酸化膜に開口部を形成した後、該開口部を含む半導体基板上にポリシリコンを積層し、該ポリシリコンをパターニングして、前記半導体膜と接続を有する

TFT の活性層を形成し、(iv) 前記ゲート電極上の前記活性層をレジストパターンでマスクしてイオン注入し、前記活性層に TFT のソース／ドレイン領域を形成し、(v) 再度、前記レジストパターンをマスクとして用いて、前記イオン注入と同じ導電型のイオンをさらに高エネルギーで、イオン注入し、少なくとも前記半導体膜の表面層に TFT のソース／ドレイン領域と同じ導電型の不純物層を形成することを含むことを特徴とする半導体装置の製造方法。

【請求項 7】 工程 (iii) の後、前記レジストパターンを等方性エッチングし、該等方性エッチングされたレジストパターンを用いてイオン注入して上記ソース／ドレイン領域を LDD 構造とする工程を含む請求項 6 記載の半導体装置の製造方法。

【請求項 8】 (i) 半導体基板上にドライブトランジスタを形成した後、該ドライブトランジスタ上に層間絶縁膜を形成し、該層間絶縁膜の所望の領域に前記ドライブトランジスタとの接続を得るためのコンタクトホールを形成し、(ii) 該コンタクトホールを含む半導体基板上に半導体を積層し、所望の形状にパターニングして TFT のゲート電極及び半導体膜を形成し、(iii) 該ゲート電極及び半導体膜上にゲート酸化膜を形成し、フォトリソグラフィ工程により所望の形状のレジストパターンを形成した後、該レジストパターンを用いて前記半導体膜上のゲート酸化膜に開口部を形成し、(iv) 次いで、前記レジストパターン及び開口部を含む半導体基板上に導電体膜を積層した後、前記レジストパターンをエッチング除去して、前記ゲート酸化膜の開口部に前記導電体膜を埋設し、窒素雰囲気下にてアニール処理を行い、前記導電体膜を窒化物とし、(v) 該窒化物となった導電体膜を含むゲート酸化膜上にポリシリコンを積層し、所望の形状にパターニングして、前記半導体膜と前記導電体膜を介して接続を有する TFT の活性層を形成し、(vi) 前記ゲート電極上の前記活性層をレジストパターンでマスクしてイオン注入し、前記活性層に TFT のソース／ドレイン領域を形成することを含むことを特徴とする半導体装置の製造方法。

【請求項 9】 導電体膜がチタン膜である請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、より詳細には TFT を負荷トランジスタに持つ SRAM セルを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来技術の 1 例として、以下に PMOS 負荷トランジスタとして、TFT (Thin Film Transistor) を有する SRAM セルを用いて説明する。PMOS 負荷トランジスタを有する SRAM セルの等価回路図を

図3に示す。このセルは、半導体基板上に形成されたドライブトランジスタ(DTr1, DTr2)と、このドライブトランジスタ(DTr1, DTr2)上に積層され、そのノードに電源が供給されるMOS負荷TFT(TFT1, TFT2)とからなるフリップフロップ回路及びアクセストランジスタ(ATr1, ATr2)により構成されている。なお、アクセストランジスタ(ATr1, ATr2)は、そのノードがビットライン(BL)に接続されている。このように、MOS負荷TFT(TFT1, TFT2)が、半導体基板上に形成されたドライブトランジスタ(DTr1, DTr2)上に形成されることにより、メモリセルのサイズを縮小化し、SRAM容量の増大を図っている。

【0003】以下に、上記SRAMにおけるTFTの製造方法について説明する。まず、素子分離のために、フィールド絶縁膜71を形成したシリコン基板70上に、公知の方法によりドライバMOSトランジスタを形成する。その後、図10(a)に示したように、シリコン基板70上全面に層間絶縁膜72を形成し、所望の領域上、つまり、ドライブトランジスタDTr2のゲート電極73と、ドライブトランジスタDTr1のソース/ドレイン領域74とを接続するとともに、後の工程で形成されるTFT1のソース/ドレイン領域とを図3に示したA点において同時に接続するために、ドライブトランジスタDTr2のゲート電極73とドライブトランジスタDTr1のソース/ドレイン領域74とが形成されている領域上の層間絶縁膜72にコンタクトホール72aを形成する。なお、ここでは、TFT1とドライブトランジスタDTr1及びDTr2を同時に接続しているが、コンタクトホール72aをドライブトランジスタDTr2のゲート電極73の上又はドライブトランジスタDTr1のソース/ドレイン領域74のみの上に形成してもよい。この場合には、このコンタクトホール72aとは別に、ドライブトランジスタDTr2のゲート電極73とドライブトランジスタDTr1のソース/ドレイン領域74とを接続する必要がある。

【0004】次いで、図10(b)に示したように、コンタクトホール72aを含むシリコン基板70上にポリシリコンを積層し、所望の形状にパターニングしてTFTのゲート電極75aとともに、TFTの配線に参与する半導体膜としてポリシリコンパターン75b、75cを形成する。この際のポリシリコンの膜厚は100~200nmであり、N型不純物であるリンまたは砒素が 10^{20}cm^{-3} 以上の高濃度で添加されている。添加方法としては、ポリシリコンを減圧CVD法で堆積したのち、拡散又はイオン注入してもよいし、フォスフィン(PH₃)ガスとシラン(SiH₄)ガスを用いてドーパドシリコンを堆積してもよく、特にその方法としては限定されるものではない。

【0005】続いて、図10(c)に示したように、ゲ

ート電極75a及びポリシリコンパターン75b、75cを含むシリコン基板70上に、SiO₂膜を膜厚10~50nm、CVD法により堆積して、TFTのゲート酸化膜76を形成する。さらに、図10(d)に示したように、フォトリソグラフィ及びRIE法によるエッチング工程により、ポリシリコンパターン75b、75c上のゲート酸化膜76に開口部76aを形成する。

【0006】そして、図11(e)に示したように、これら開口部76aを含むシリコン基板70上に、膜厚10~100nmのポリシリコンを減圧CVD法により堆積し、所望の形状にパターニングして、TFTのチャネル、ソース及びドレインを構成する活性層77を形成する。なお、活性層77とポリシリコンパターン75b、75cとは、ゲート酸化膜76に形成された開口部76aを通して接続されている。また、ポリシリコンは、減圧CVD法によりアモルファスシリコン薄膜を堆積したのち、600℃前後のアニールにより、再結晶化したのもでもよい。さらに、TFTのしきい値電圧の制御のために、リン又は砒素等の不純物を、 $10^{12}\sim 10^{13}\text{cm}^{-2}$ の低濃度で、イオン注入により添加してもよい。

【0007】次いで、図11(f)に示したように、シリコン基板70上にレジストを塗布し、フォトリソグラフィ工程により所望の形状にパターニングする。このレジストパターン78をマスクとして、ボロン又はBF₂イオンを、 $10^{14}\sim 10^{15}\text{cm}^{-2}$ の高濃度でイオン注入して、活性層77にソース/ドレイン領域77a、77cを形成する。なお、レジストパターン78で覆われた活性層77にはP型不純物が添加されず、TFTのチャネル77bとなる。

【0008】そして、レジストパターン78を除去した後、図11(g)に示したように、層間絶縁膜たるCVD酸化膜79を400~1000nm堆積する。次に、図11(h)に示したように、フォトリソグラフィ工程及びRIE法によるエッチング工程により、ポリシリコンパターン75b、75c上のCVD酸化膜79に開口79aを形成する。

【0009】続いて、図11(i)に示したように、開口79aにAl, Cu, Ti, W等の金属、これらの合金及びシリサイド等を埋設、パターニングして配線80を形成する。この配線80はCVD酸化膜79の開口79aでポリシリコンパターン75cと接続される。以下、必要に応じて層間膜の形成、スルーホールの形成、第2層目の金属配線の形成、保護膜の形成等を周知の方法により行い、TFTをPMOS負荷トランジスタとして有するSRAMメモリセルを完成する(図示せず)。

【0010】

【発明が解決しようとする課題】上記従来の方法で形成したSRAMメモリセルへの電源は、Vcc線である金属配線、配線80、ゲート酸化膜76の開口、N型不純物が高濃度で添加されたポリシリコンパタン75c、ゲ

ート酸化膜の開口部76a、高濃度P型不純物が添加されたTFTのソース領域77cの順に供給される。

【0011】このようなSRAMメモリセルにおけるポリシリコンパターン75cは、配線80とTFTのソース領域77cとを直接接続する場合に行うエッチング時のオーバーエッチによる影響を防止するものである。つまり、配線80とTFTのソース領域77cとを直接接続する場合には、薄い活性層77上のCVD酸化膜79をエッチング除去する必要があるが、酸化膜と活性層を形成するポリシリコンとのエッチングにおける選択比が、例えば10以下程度に低ければ、オーバーエッチ時に、活性層77を突き破る可能性がある。従って、それを防止するために、配線80を形成する開口は、比較的厚いポリシリコン75c上に形成することにより、TFTのソース領域77cと配線との接続を確実にし、かつ配線の他の配線層への接触を防止している。

【0012】しかし、このような方法においても、以下に示す問題を有している。すなわち、電源の供給は、配線80、N型不純物が添加されたポリシリコン75c及びP型不純物が添加されたTFTのソース領域77cの順に行われ、ポリシリコン75cとソース領域77cと界面には、PN接合が形成されることとなるが、電源がTFTに供給される際には、逆方向の接続で使用されることとなる。このPN接合はポリシリコンに形成されているため、その整流性能は低く、接合リーク電流比較的大きかったために問題とされていなかったが、近年においては、TFTの特性向上のため、ポリシリコンの結晶性が改善されているので、そのPN接合が良好となり、上記問題のため、メモリセルへの電源供給に支障が生じてきた。

【0013】メモリセルへの電源の供給が不十分となると、例えば、図3におけるA点又はB点等の蓄積ノードへの電流供給が不足し、データ保持の安定性が失われメモリ機能が失われる重大な問題となる。また、メモリセル領域においても、TFTのドレイン領域77aとポリシリコンパターン75bの接続部でPN接合が形成されている。このPN接合では、順方向接続となっているため、上記の電源供給部と異なり、電流の供給が遮断される危険はない。しかし、PN接合により生じる0.9eV以上のビルトインポテンシャルのため、順方向に電流を供給する場合でも、約1V以上の電圧を必要とする。即ち、TFTがオンして電流が供給される初期には、PN接合にかかる電位差がビルトインポテンシャルよりも低い場合、蓄積ノードへの電流の供給が制約されることとなるか、あるいは、TFTがオンして十分な時間が経過しても蓄積ノードの電位は、ビルトインポテンシャルだけ低下し、電源電位まで引き上げることができなくなる。このため蓄積ノードの電荷量が減少することとなり、データ保持能力が低下したり、読み出しエラーが発生するなどの問題が生じることとなる。

【0014】さらに、ポリシリコンパターン75cとポリシリコンからなるソース領域77cとの接続によるPN接合の形成を回避するため、ポリシリコン75cに、ソース領域77cと同じ導電型を有する不純物、例えば、ボロン等のP型不純物を拡散させる方法がある。しかし、この場合には、TFTとドライブトランジスタとの接続部において、つまり、ドレイン領域77aとポリシリコンパターン75bとの接続部においては、ポリシリコンパターン75bが直接ドライブトランジスタのN型ソース/ドレイン領域74と接続することとなる。この場合には、ポリシリコンパターン75bからP型不純物がドライブトランジスタのN型ソース/ドレイン領域74と接続することとなり、ドライブトランジスタのソース/ドレイン領域74の抵抗が増加したり、チャネル部にまでP型不純物が拡散して、しきい値電圧を変化させるという問題が生じる。

【0015】本発明は、上記問題に鑑みなされたものであり、TFTを負荷トランジスタに持つSRAMセルにおいて、配線とTFT等との接続を良好にして、素子の特性を向上させることができる半導体装置及びその製造方法を提供することを目的としている。

【0016】

【課題を解決するための手段】本発明の半導体装置によれば、ゲート、ゲート酸化膜及びソース/ドレイン領域からなる一対のドライブトランジスタと、前記一対のドライブトランジスタと接続され、かつゲート電極、ゲート酸化膜及びソース/ドレイン領域を有する活性層が順次積層されて構成されている一対の負荷TFTとからなるフリップフロップ回路と、該フリップフロップ回路に接続された一対のアクセストランジスタとから構成されるメモリセルを備えており、前記TFTの一方のソース/ドレイン領域が、少なくとも、一方のドライブトランジスタのソース/ドレイン領域及び他方のドライブトランジスタのゲートのいずれかと半導体膜を介して接続されるとともに、前記TFTの他方のソース/ドレイン領域が、半導体膜を介して配線層に接続されており、前記半導体膜の少なくとも表面層が、前記TFTのソース/ドレイン領域と同じ導電型を有している半導体装置が提供される。

【0017】また、ゲート、ゲート酸化膜及びソース/ドレイン領域からなる一対のドライブトランジスタと、前記一対のドライブトランジスタと接続され、かつゲート電極、ゲート酸化膜及びソース/ドレイン領域を有する活性層が順次積層されて構成されている一対の負荷TFTとからなるフリップフロップ回路と、該フリップフロップ回路に接続された一対のアクセストランジスタとから構成されるメモリセルを備えており、前記TFTの一方のソース/ドレイン領域が、不純物拡散防止性導電膜を介して半導体膜及び少なくとも一方のドライブトランジスタのソース/ドレイン領域と他方のドライブトラ

ンジスタのゲートのいずれかと接続されるとともに、前記TFTの他方のソース/ドレイン領域が、不純物拡散防止性導電膜及び半導体膜を介して配線層に接続されている半導体装置が提供される。

【0018】さらに、本発明の半導体装置の製造方法によれば、(i) 半導体基板上にドライプトランジスタを形成した後、該ドライプトランジスタ上に層間絶縁膜を形成し、該層間絶縁膜の所望の領域に前記ドライプトランジスタとの接続を得るためのコンタクトホールを形成し、(ii) 該コンタクトホールを含む半導体基板上に半導体を積層し、所望の形状にパターニングしてTFTのゲート電極及び半導体膜を形成し、(iii) 該ゲート電極及び半導体膜上にゲート酸化膜を形成し、前記半導体膜上のゲート酸化膜に開口部を形成した後、該開口部を含む半導体基板上にポリシリコンを積層し、該ポリシリコンをパターニングして、前記半導体膜と接続を有するTFTの活性層を形成し、(iv) 前記ゲート電極上の前記活性層をレジストパターンでマスクしてイオン注入し、前記活性層にTFTのソース/ドレイン領域を形成し、(v) 再度、前記レジストパターンをマスクとして用いて、前記イオン注入と同じ導電型のイオンをさらに高エネルギーで、イオン注入し、少なくとも前記半導体膜の表面層にTFTのソース/ドレイン領域と同じ導電型の不純物層を形成することを含む半導体装置の製造方法が提供される。

【0019】また、(i) 半導体基板上にドライプトランジスタを形成した後、該ドライプトランジスタ上に層間絶縁膜を形成し、該層間絶縁膜の所望の領域に前記ドライプトランジスタとの接続を得るためのコンタクトホールを形成し、(ii) 該コンタクトホールを含む半導体基板上に半導体を積層し、所望の形状にパターニングしてTFTのゲート電極及び半導体膜を形成し、(iii) 該ゲート電極及び半導体膜上にゲート酸化膜を形成し、フォトリソグラフィ工程により所望の形状のレジストパターンを形成した後、該レジストパターンを用いて前記半導体膜上のゲート酸化膜に開口部を形成し、(iv) 次いで、前記レジストパターン及び開口部を含む半導体基板上に導電体膜を積層した後、前記レジストパターンをエッチング除去して、前記ゲート酸化膜の開口部に前記導電体膜を埋設し、窒素雰囲気下にてアニール処理を行い、前記導電体膜を窒化物とし、(v) 該窒化物となった導電体膜を含むゲート酸化膜上にポリシリコンを積層し、所望の形状にパターニングして、前記半導体膜と前記導電体膜を介して接続を有するTFTの活性層を形成し、(vi) 前記ゲート電極上の前記活性層をレジストパターンでマスクしてイオン注入し、前記活性層にTFTのソース/ドレイン領域を形成することを含む半導体装置の製造方法が提供される。

【0020】本発明における半導体装置は、一対のドライプトランジスタと一対のMOS負荷TFTとからなる

フリップフロップ回路及び一対のアクセスドランジスタにより構成されている。これらメモリセルは、半導体基板上に形成されているものである。半導体基板としては特に限定されるものではないが、シリコン基板が好ましい。また、半導体基板上に、まず、ドライプトランジスタが、公知の方法により形成されて、これらドライプトランジスタ上に層間絶縁膜を介してTFTが積層されて構成されている。

【0021】ドライプトランジスタ上に形成されている層間絶縁膜としては、特に限定されるものではないが、 SiO_2 が好ましく、その膜厚は50～200nm程度が好ましい。またこれら層間絶縁膜は公知の方法により形成することができる。本発明における半導体装置のTFTは、主としてゲート電極、ゲート酸化膜及び活性層により形成されている。そして、一方のソース/ドレイン領域は、電源と接続されており、他方のソース/ドレイン領域は、少なくとも一方のドライプトランジスタのソース/ドレイン領域と、他方のドライプトランジスタのゲート電極とのいずれかに接続されている。具体的には、それらは、半導体膜を介在することにより接続されている。この半導体膜は、TFTのゲート電極を形成する際に、同一の材料により形成することができる。例えば、ポリシリコンにより、CVD法等の公知の方法でゲート電極とともに、膜厚100～200nmに形成することができる。また、この半導体膜は、N型不純物であるリンまたは砒素が約 10^{20}cm^{-3} 以上の高濃度で添加されていることが好ましい。添加方法としては、例えば、ポリシリコンを減圧CVD法で堆積したのち、拡散又はイオン注入してもよいし、フォスフィン(PH_3)ガスとシラン(SiH_4)ガスを用いてドーパドシリコンを堆積してもよく、特にその方法としては限定されるものではない。

【0022】また、TFTのゲート電極及び半導体膜を形成したのち、公知の方法により、 SiO_2 等によるゲート酸化膜を形成する。この際の膜厚は10～50nmが好ましい。そして、TFTと電源又はドライプトランジスタと接続するために、上記半導体膜上に形成されているゲート酸化膜の一部に開口部が形成されている。この開口部の形成は、公知の方法、例えばフォトリソグラフィ及びRIE法によるエッチングにより形成することができる。TFTの活性層としては、ポリシリコンを、公知の方法により形成することが好ましいが、減圧CVD法によりアモルファスシリコン薄膜を堆積したのち、600℃前後のアニールにより、再結晶化したものでもよい。また、このポリシリコンは、TFTのしきい値電圧の制御のために、リン又は砒素等の不純物を、 $10^{12}\sim 10^{13}\text{cm}^{-2}$ の低濃度で、イオン注入により添加されていることが好ましい。

【0023】なお、上記のようにゲート酸化膜の一部に開口部を形成する場合に用いたレジストマスクを除去す

る前に、このレジストマスク上に不純物拡散防止性導電膜、例えば、チタンの膜を20~100nm程度形成し、レジスト除去とともに不要部の不純物拡散防止性導電膜を除去することにより、ゲート酸化膜の開口部にのみ、不純物拡散防止性導電膜を形成することもできる。この際の不純物拡散防止性導電膜の形成は、スパッタリング法等の公知の方法で形成することができる。また、ゲート酸化膜の開口部に不純物拡散防止性導電膜を形成したのち、窒素雰囲気下で、600~750℃の温度範囲、数分~数十分程度アニール処理することが好ましい。このアニール処理により、不純物拡散防止性導電膜を窒化物膜に変えることができる。

【0024】そして、TFTのゲート電極上の活性層の上に、公知の方法、例えばフォトリソグラフィ工程によりマスクを形成したのち、ボロン、BF₂等のP型の不純物イオンを10¹⁴~10¹⁵cm⁻²程度の濃度で、ボロンを用いた場合には10~25KeV程度、BF₂を用いた場合には30~100KeVの程度のエネルギーで注入して、ソース/ドレイン領域を形成する。

【0025】さらに、このようにソース/ドレイン領域を形成したのち、不純物拡散防止性導電膜を半導体膜上に形成しない場合には、さらにソース/ドレイン領域のうえから、ソース/ドレイン領域形成時のマスクと同一のマスクを用いて、ソース/ドレイン領域と同じ導電型、例えばP型の不純物を1~3×10¹⁵cm⁻²程度の濃度で、ソース/ドレイン領域形成時の注入エネルギーよりも大きなエネルギー、例えば、ボロンを用いる場合には30~70KeVの程度エネルギーで注入することができる。これにより、上記半導体層の表面層は、ソース/ドレイン領域と同じ導電型を有する不純物が注入されることがとなり、同一半導体膜内で、PN接合が形成されることとなる。この際の半導体膜においては、膜厚100~200nmのうち表面層の50~100nm程度がソース/ドレイン領域と同じ導電型に形成されていることが好ましい。なお、ソース/ドレイン領域が形成されたのち、再度イオン注入する場合に、マスクを等方性エッチングにより両幅0.2~1.0μm程度エッチングして、後退させて用いることにより、ソース/ドレイン領域がチャネル側に広がることとなり、その領域がソース/ドレイン領域よりも低濃度で形成される。このように、ソース/ドレイン領域をLDD構造として形成することもできる。

【0026】さらに、TFTの電源との接続は、TFTのソース/ドレイン領域と、上記半導体膜を介して形成されている。この際の電源への配線は、通常配線層として用いられる金属、例えば、Al、Cu、Ti、W等の金属、これらの合金及びシリサイド等により、公知の方法、例えば、真空蒸着法等により適宜形成することができる。

【0027】このように、ドライブトランジスタ及びT

FTを形成することにより、ドライブトランジスタとTFT、TFTと電源とを接続したのち、必要に応じて層間膜の形成、スルーホール形成、第2層目の金属配線の形成、保護膜の形成等を周知の方法により行い、TFTをMOS負荷トランジスタとして有するSRAMメモリセルを完成することができる。なお、アクセストランジスタは、ドライブトランジスタと同時に形成してもよいし、ドライブトランジスタを形成したのち、TFTを形成する前に形成してもよいし、TFTと同時に又は個別に適宜形成することができる。

【0028】

【作用】本発明の半導体装置によれば、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に、半導体膜を介しており、この半導体膜の少なくとも表面層が、TFTのソース/ドレイン領域と同じ導電型を有しているため、TFTのソース/ドレイン領域とこの半導体膜との接続によって生じるPN接合が同じ半導体膜内に形成されることとなる。これにより、PN接合の接合面積が拡大されることとなる。

【0029】また、上記半導体装置において、TFTのソース/ドレイン領域がLDD構造を有していることにより、電圧印加時のドレイン端での電界が緩和されることとなり、リーク電流の低減やホットキャリア発生による特性劣化防止が図れる。さらに、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に、半導体膜を介しており、この半導体膜とソース/ドレイン領域との間にさらに不純物拡散防止性導電膜が介在しているため、異なる導電型を有するソース/ドレイン領域と半導体膜が直接接触することなく、また、相互の不純物の拡散も防止されることとなり、PN接合によって生じる寄生容量が抑制される。

【0030】また、本発明の半導体装置の製造方法によれば、TFTのソース/ドレイン領域を形成する際に用いたマスクを再度利用することにより、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に用いる半導体膜の少なくとも表面層を、TFTのソース/ドレイン領域と同じ導電型に形成することができるので、容易に、TFTのソース/ドレイン領域と半導体膜との接続におけるPN接合の接合面積の拡大が実現される。

【0031】さらに、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に、半導体膜を介しており、この半導体膜とソース/ドレイン領域との間にさらに不純物拡散防止性導電膜を介在させる場合にも、ゲート酸化膜に開口部を形成する際に用いたレジストマスクを再度利用するので、容易に、TFTのソース/ドレイン領域と半導体膜との接続におけるPN接合が除去され、PN接合によって発生する寄生容量が防止される。

【0032】

【実施例】本発明に係る半導体装置及びその製造方法の実施例を以下に詳述する。図3にPMOS負荷トランジスタを有するSRAMセルの等価回路図を示す。このセルは、半導体基板上に形成されたドライブトランジスタ(DTr1, DTr2)と、このドライブトランジスタ(DTr1, DTr2)上に積層され、そのノードに電源が供給されるMOS負荷TFT(TFT1, TFT2)とからなるフリップフロップ回路及びアクセストランジスタ(ATr1, ATr2)により構成されている。なお、アクセストランジスタ(ATr1, ATr2)は、そのノードがビットライン(BL)に接続されている。このように、MOS負荷TFT(TFT1, TFT2)が、半導体基板上に形成されたドライブトランジスタ(DTr1, DTr2)上に形成されることにより、メモリセルのサイズを縮小化し、SRAM容量の増大を図っている。

【0033】実施例1

まず、素子分離のために、フィールド絶縁膜11を形成したシリコン基10板上に、公知の方法によりドライバMOSトランジスタ(図3中、DTr1, DTr2)を形成する。その後、図1(a)に示したように、シリコン基板10上全面に層間絶縁膜12を形成し、所望の領域上、つまり、ドライブトランジスタDTr2のゲート電極13と、ドライブトランジスタDTr1のソース/ドレイン領域14とが形成されている領域上の層間絶縁膜12にコンタクトホール12aを形成する。このコンタクトホール12aは、ゲート電極13とソース/ドレイン領域14とを接続するとともに、これらゲート電極13、ソース/ドレイン領域14と後の工程で形成されるTFT1のソース/ドレイン領域とを図3に示したA点において同時に接続するために形成されているが、このコンタクトホール12aをゲート電極13のみの上又はソース/ドレイン領域のみの上に形成してもよい。この場合には、このコンタクトホール12aとは別に、ゲート電極13とソース/ドレイン領域14とを接続する必要がある。

【0034】次いで、図1(b)に示したように、コンタクトホール12aを含むシリコン基板10上にポリシリコンを積層し、所望の形状にパターニングしてTFTのゲート電極15aとともに、TFTの配線に与するポリシリコンパターン15b、15cを形成する。この際のポリシリコンの膜厚は、例えば、200nmであり、N型不純物であるリンまたは砒素が 10^{20}cm^{-3} 以上の高濃度で添加されている。

【0035】続いて、図1(c)に示したように、ゲート電極15a、ポリシリコンパターン15b、15cを含むシリコン基板10上に、 SiO_2 膜を、例えば、膜厚50nm、CVD法により堆積して、TFTのゲート酸化膜16を形成する。さらに、図1(d)に示したように、フォトリソグラフィ及びRIE法によるエッチ

ング工程により、ポリシリコンパターン15b、15c上のゲート酸化膜16に開口部16aを形成する。

【0036】そして、図1(e)に示したように、これら開口部16aを含むシリコン基板10上に、例えば膜厚100nmのポリシリコンを減圧CVD法により堆積し、所望の形状にパターニングして、TFTのチャネル、ソース及びドレインを構成する活性層17を形成する。なお、活性層17とポリシリコンパターン15b15cとは、ゲート酸化膜16に形成された開口部16aを通して接続されている。

【0037】次いで、図2(f)に示したように、シリコン基板10上にレジストを塗布し、フォトリソグラフィ工程により所望の形状にパターニングする。このレジストパターン18をマスクとして、ボロン又は BF_2 イオンを活性層17に、 $10^{14}\sim 10^{15}\text{cm}^{-2}$ の高濃度で、ボロンイオンにおいては10~25KeV、 BF_2 イオンにおいては30~100KeVにてイオン注入し、ソース/ドレイン領域17a、17cを形成する。なお、レジストパターン18で覆われた活性層17にはP型不純物が添加されず、TFTのチャネル17bが形成されることとなる。

【0038】続いて、図2(g)に示したように、レジストパターン18を利用して、さらにボロン又は BF_2 イオンを活性層17に、 $1\sim 3\times 10^{16}\text{cm}^{-2}$ の高濃度で、高エネルギーで、具体的にはボロンイオンにおいては30~75KeV等で注入する。これにより、ソース/ドレイン領域17a、17cが形成されるとともに、このソース/ドレイン領域17a、17c及びゲート酸化膜16を通して、ポリシリコンパターン15c、15bの表面層に、ソース/ドレイン領域17a、17cと同じ導電型を示す領域15cc、15bbが形成されることとなる。

【0039】そして、レジストパターン18を除去した後、図2(h)に示したように、層間絶縁膜たるCVD酸化膜19を、例えば600nm堆積する。次に、図2(i)に示したように、フォトリソグラフィ工程及びRIE法によるエッチング工程により、ポリシリコンパターン15aの上方のCVD酸化膜19に開口19aを形成する。

【0040】続いて、図2(j)に示したように、開口19aを含むCVD酸化膜19上に例えば、Alによる配線20を所望の形状に形成する。この金属配線20はCVD酸化膜19の開口19aでポリシリコンパターン15cと接続されて、電源供給用の配線として作用する。以下、必要に応じて層間膜の形成、スルーホールの形成、第2層目の金属配線の形成、保護膜の形成等を周知の方法により行い、TFTをPMOS負荷トランジスタとして有するSRAMメモリセルを完成する(図示せず)。

【0041】このような半導体装置においては、配線2

0とTFTのソース領域17cとを接続するため、あるいはTFTのドレイン領域17aとバルクトランジスタとを接続するためのポリシリコンパターン15b、15c内において、PN接合が形成されているので、その接合面積を大幅に増加させることができる。また、ポリシリコンパターン15b、15c内に形成されたPN接合においては、単結晶内に形成された場合と異なって、接合面に多数の結晶粒界が含まれることとなる。結晶粒界ではPN接合の整流特性が失われるため、逆方向リーク電流が増加し、ビルトインポテンシャルによる障壁が低減する。

【0042】さらに、電源からの電流を、配線20、ポリシリコンパターンにおけるソース/ドレイン領域と同じ導電型を示す領域15cc、15bb、ソース領域17aと、PN接合を含まない並列経路で供給することもできることとなり、電源供給部での低抵抗化が図られることとなる。従って、接合面積の増加に比例して、PN接合を流れる電流も増加させることができ、メモリセルへ供給する電流を増加させることが可能となる。

【0043】図4に、本実施例における電源供給部での配線20とTFTのソース領域17c間の電流電圧特性を示す。なお、本実施例における電流電圧特性（図4中実線で示す）とともに、従来例で示したSRAMの電源供給部での電流電圧特性（図4中波線で示す）を示す。また、図5に、TFTのドレイン領域17aと蓄積ノード間の電流電圧特性を示す。なお、本実施例における電流電圧特性（図5中実線で示す）とともに、従来例で示したSRAMの電源供給部での電流電圧特性（図5中波線で示す）を示す。

【0044】実施例2

*30 【数1】

$$n(x) = \frac{\phi}{\sqrt{2\pi}\Delta R_p} \exp\left[-\left(\frac{x-R_p}{\sqrt{2}\Delta R_p}\right)^2\right]$$

ただし、 $n(x)$ ：深さ x での注入不純物の単位面積密度

ϕ ：単位面積当たりの全注入量

R_p ：注入イオンの飛程距離

ΔR_p ：注入イオンの飛程分散

によって、深さ方向に分布するため、一部の不純物がソース/ドレイン領域37a、37cやゲート酸化膜36を通して、ポリシリコンパターン35c、35bの表面層にまで添加される。また、一部は、レジストパターン38aにより露出した領域に止まり、不純物濃度が低いLDD領域37aa、37ccを形成することとなる。

【0048】以下、実施例1と同様に、層間絶縁膜、金属配線等を形成したのち、必要に応じて層間膜の形成、スルーホール形成、第2層目の金属配線の形成、保護膜の形成等を周知の方法により行い、TFTをPMOS

*実施例1の図1(a)～(e)における工程と同様に、シリコン基板30上にドライバMOSトランジスタ、層間絶縁膜32、ゲート電極33、ソース/ドレイン領域34、TFTのゲート電極35a、ポリシリコンパターン35b、35c、ゲート酸化膜36、活性層37及びレジストパターン38を形成した後、図6(a)に示したように、実施例1と同様に、レジストパターン38をマスクとして活性層37にイオン注入をして、ソース/ドレイン領域37a、37c及びチャネル37bを形成する。

【0045】続いて、図6(b)に示したように、酸素プラズマ雰囲気中において、レジストパターン38を等方的にエッチングして、例えば、約 $1.0\mu\text{m}$ の幅 d だけ後退させたレジストパターン38aを形成し、チャネル37bの一部を露出させる。

【0046】そして、図6(c)に示したように、レジストパターン38aをマスクとして、さらにP型イオンを活性層37に、 $1\sim 3\times 10^{15}\text{cm}^{-2}$ の高濃度で、高エネルギーで、具体的にはボロンイオンにおいては30～100KeV等でイオン注入する。これにより、ソース/ドレイン領域37a、37cのチャネル37b側にソース/ドレイン領域37a、37cよりも不純物濃度が低いLDD領域37aa、37ccが形成される。また、このソース/ドレイン領域37a、37cやゲート酸化膜36を通して、ポリシリコンパターン35c、35bの表面層に、ソース/ドレイン領域37a、37cと同じ導電型を示す領域35cc、35bbが形成されることとなる。これは、注入されたイオンが、下記式

【0047】

負荷トランジスタとして有するSRAMメモリセルを完成する（図示せず）。

【0049】このような半導体装置においても、実施例1と同様に、ポリシリコンパターン35b、35c内において、PN接合が形成されているので、その接合面積を大幅に増加させることができる。よって、接合面積の増加に比例して、PN接合を流れる電流も増加させることができ、メモリセルへ供給する電流を増加させることが可能となる。

【0050】さらに、TFTのチャネル側に、レジストパターン38aを用いることにより、P型の比較的低濃度領域を自己整合的に形成できるため、フォトリソグラフィ工程の増加を伴うことなく、LDD (Lightly Doped Drain) 構造を実現できる。よって、ドレイン端での電界が緩和されることとなり、リーク電流の低減やホット

キャリア発生による特性劣化防止が図れるなど、TFT特性の改善を図ることができる。

【0051】実施例3

実施例1の図1(a)～(c)における工程と同様に、シリコン基板50上にドライバMOSトランジスタ、層間絶縁膜52、ゲート電極53、ソース/ドレイン領域54、TFTのゲート電極55a、ポリシリコンパターン55b、55c、ゲート酸化膜56及びレジストパターン61を形成した後、図7(a)に示したように、レジストパターン61の所望の領域にコンタクトホール61aを形成する。そして、このレジストパターン61をエッチングマスクとして、RIE法によりゲート酸化膜56をエッチングし、ポリシリコンパターン55b、55c上に開口部を形成する(図示せず)。

【0052】次いで、図7(b)に示したように、コンタクトホール61aを含むレジストパターン61上に物理的气相成長法、例えば電子ビーム蒸着法又はスパッタリング法により、チタン膜62を、例えば、10nm形成する。なお、このような成膜方法では形成膜の指向性が強く、平面部であるレジストパターン61の上面又はコンタクトホール61aの底面部のみにチタン膜62が形成され、レジストパターン61の開口側壁には付着しない。

【0053】続いて、図7(c)に示したように、アセトン等の有機溶媒を用いてレジストパターン61を除去する。この際、レジストパターン61上に形成されたチタン膜62も、レジストパターン61の除去と同時に剥離され、コンタクトホール61aが形成されていた領域の底面部のみにチタン膜62が形成されることとなる。そして、600℃程度の窒素雰囲気において、アニール処理を施すことにより、TiN膜62とポリシリコンパターン55b、55cとの間に窒化チタンが形成されることとなる。

【0054】次いで、図8(d)に示したように、これらゲート酸化膜56及びチタン膜62上に、膜厚10～100nmのポリシリコンを減圧CVD法により堆積し、所望の形状にパターニングして、TFTのチャネル、ソース及びドレインを構成する活性層57を形成する。なお、活性層57とポリシリコンパターン55b、55cとは、ゲート酸化膜56の開口部に形成されたチタン膜62を介して接続されている。また、活性層57を構成するポリシリコンは、実施例1と同様に、減圧CVD法によりアモルファスシリコン薄膜を堆積したのち、600℃前後のアニールにより、再結晶化したものでもよい。さらに、TFTのしきい値電圧の制御のために、リン又は砒素等の不純物を、 $10^{12} \sim 10^{13} \text{ cm}^{-2}$ の低濃度で、イオン注入により添加してもよい。

【0055】次いで、図8(e)に示したように、シリコン基板50上にレジストを塗布し、フォトリソグラフィ工程により所望の形状にパターニングする。このレジ

ストパターン58をマスクとして、ボロン又は BF_2 イオンを活性層57に、 $10^{14} \sim 10^{15} \text{ cm}^{-2}$ の高濃度で、ボロンイオンにおいては10～25KeV、 BF_2 イオンにおいては30～100KeVにてイオン注入し、ソース/ドレイン領域57a、57cを形成する。なお、レジストパターン58で覆われた活性層57にはP型不純物が添加されず、TFTのチャネル57bが形成されることとなる。

【0056】続いて、レジストパターン18を除去した後、図8(f)に示したように、層間絶縁膜たるCVD酸化膜59を約600nm堆積し、実施例1と同様にCVD酸化膜59に開口を形成し、金属配線60を形成する。以下、必要に応じて層間膜の形成、スルーホールの形成、第2層目の金属配線の形成、保護膜の形成等を周知の方法により行い、TFTをPMOS負荷トランジスタとして有するSRAMメモリセルを完成する(図示せず)。

【0057】このような実施例によれば、P型不純物が拡散しているTFTのソース/ドレイン領域57a、57cと、N型不純物が拡散しているポリシリコンパターン55b、55cが、ゲート酸化膜56の開口部56aで不純物拡散防止性誘電体膜である窒化チタンを介在して接続されているので、ソース/ドレイン領域57a、57cとポリシリコンパターン55b、55cとは直接接触せず、相互の不純物の拡散も窒化チタンで防止される。従って、PN接合によって生じる整流特性を防止することができる。

【0058】図9に、上記のTFTのドレイン電流-ドレイン電圧特性を示す。なお、図9中、本実施例におけるドレイン電流-ドレイン電圧特性を実線で示し、従来例におけるTFTのドレイン電流-ドレイン電圧特性を破線で示した。図9より明らかなように、本実施例におけるTFTのドレイン電流は、従来のTFTのドレイン電流に比較し、約3倍に増大している。これは、本実施例において、ソース領域57cとポリシリコンパターン55cとが窒化チタン62で接続されていることにより、従来、寄生的に発生していたソース領域とポリシリコンパターンとの逆方向PN接合における整流性を抑制することができたためと考えられる。

【0059】また、従来例では、低いドレイン電圧(|Vd|<0.8V)ではドレイン電流が流れていないのに対し、本発明では低いドレイン電圧においても、ドレイン電流が測定された。これは、従来例においては、ドレイン領域とポリシリコンパターンとの順方向PN接合で寄生的に発生するビルトインポテンシャル以上のドレイン電圧でなければ、ドレイン電流が得られなかったのに対し、本発明では、PN接合における寄生容量の発生が回避されたために、低いドレイン電圧においてもドレイン電流を確保できたためと考えられる。

【0060】従って、TFTのソース領域57cとポリ

シリコンパターン55cとの接続、及びドレイン領域57aとポリシリコンパターン55bとの接続において、窒化チタンを介在することにより、良好なオーミック接続を得ることができ、TFTの駆動電流を増大させることができるとともに、TFTから蓄積ノードへの供給電流を増加させて、メモリセルのデータ保持特性を改善することができる。

【0061】

【発明の効果】本発明の半導体装置によれば、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に、半導体膜を介しており、この半導体膜の少なくとも表面層が、TFTのソース/ドレイン領域と同じ導電型を有しているため、TFTのソース/ドレイン領域とこの半導体膜との接続によって生じるPN接合を同じ半導体膜内に形成することができる。よって、TFTのソースと配線との接続で生じる逆方向PN接合の整流特性を消失させることができ、メモリセルへの安定した電源供給を行うことができる。また、TFTのドレインと蓄積ノードとの接続部においては、その接続部で生じる順方向PN接合でのビルトインポテンシャルによる電位障壁を損失させることができ、蓄積ノードへの供給電流量を増加させるとともに、蓄積電位を引き上げることが可能となる。この結果、メモリセルへのデータ書き込み速度及びデータ保持特性が改善されることとなり、半導体装置の性能向上あるいは歩留まりの向上を実現することが可能となる。

【0062】また、上記半導体装置において、TFTのソース/ドレイン領域がLDD構造を有していることにより、電圧印加時のドレイン端での電界を緩和することができ、リーク電流の低減やホットキャリア発生による特性劣化防止を図ることが可能となる。

【0063】さらに、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に、半導体膜を介しており、この半導体膜とソース/ドレイン領域との間にさらに不純物拡散防止性導電膜が介在しているため、異なる導電型を有するソース/ドレイン領域と半導体膜が直接接触することなく、相互の不純物の拡散が防止される。従って、ソース領域と半導体膜が直接接触することにより生じる逆方向のPN接合の整流特性を消失させて、メモリセルへの安定した電源供給を行うことができるとともに、ドレイン領域と半導体膜との接続により生じる順方向PN接合でのビルトインポテンシャルによる電位障壁を消失させることができ、蓄積ノードへの供給電流量を増加させ、蓄積電位を引き上げることができることとなり、メモリセルへのデータ書き込み速度及びデータ保持特性が改善されることとなる。

【0064】また、本発明の半導体装置の製造方法によれば、TFTのソース/ドレイン領域を形成する際に用いたマスクを再度利用することにより、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接

続に用いる半導体膜の少なくとも表面層を、TFTのソース/ドレイン領域と同じ導電型に形成することができ、製造工程を著しく増加することなく、容易に、TFTのソース/ドレイン領域と半導体膜との接続におけるPN接合による整流特性を消失させる事で、性能が向上した半導体装置を歩留まりよく製造することが可能となる。

【0065】さらに、TFTのソース/ドレイン領域と配線又はドライブトランジスタとの接続に、半導体膜を介しており、この半導体膜とソース/ドレイン領域との間にさらに不純物拡散防止性導電膜を介在させる場合にも、ゲート酸化膜に開口部を形成する際に用いたレジストマスクを再度利用するので、フォトリソグラフィ工程を増加することなく自己整合的にTFTのLDD構造を実現することができるとともに、製造工程を著しく増加することなく、容易に、ソース/ドレイン領域と半導体膜との接続におけるPN接合による整流特性を消失させる事で、性能が向上した半導体装置を歩留まりよく製造することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の実施例を示す要部の概略断面工程図である。

【図2】本発明の半導体装置の製造方法の実施例を示す要部の概略断面工程図である。

【図3】本発明の半導体装置の回路図である。

【図4】電源供給部での配線-TFTソース間の電流電圧特性を示すグラフである。

【図5】TFTドレイン-蓄積ノード間の電流電圧特性を示すグラフである。

【図6】本発明の半導体装置の製造方法の別の実施例を示す要部の概略断面工程図である。

【図7】本発明の半導体装置の製造方法のさらに別の実施例を示す要部の概略断面工程図である。

【図8】本発明の半導体装置の製造方法のさらに別の実施例を示す要部の概略断面工程図である。

【図9】ドレイン電流とドレイン電圧との関係を示すグラフである。

【図10】従来の半導体装置の製造方法の実施例を示す要部の概略断面工程図である。

【図11】従来の半導体装置の製造方法の実施例を示す要部の概略断面工程図である。

【符号の説明】

10、30、50 半導体基板
11、31、51 素子分離酸化膜
12、32、52 層間絶縁膜
13、33、53 ゲート電極
14、34、54 ソース/ドレイン領域
15a、35a、55a ゲート電極
15b、15c、35b、35c、55b、55c 半導体膜 (ポリシリコンパターン)

19

15bb、15cc、35bb、35cc 不純物が添加された領域

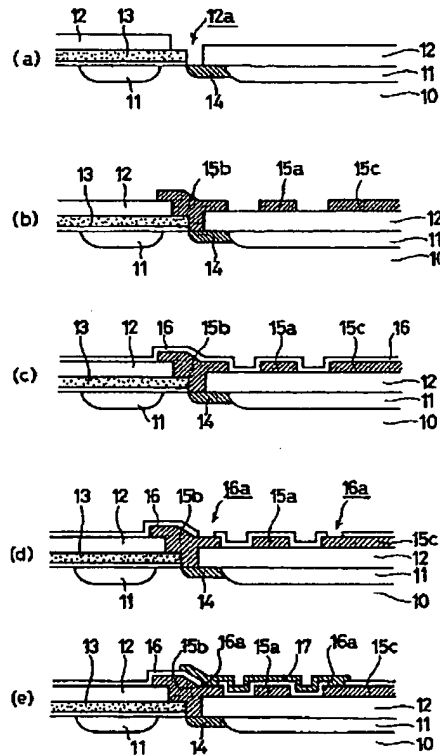
16、36、56 ゲート酸化膜

17、37、57 活性層

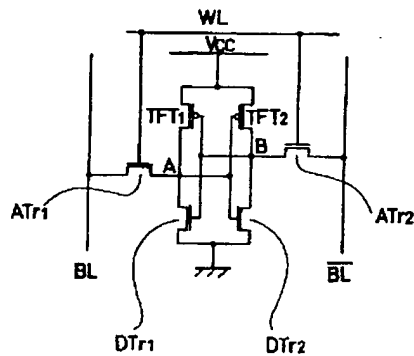
17a、17c、37a、37c、57a、57c ソース/ドレイン領域

17b、37b、57b チャンネル

【図1】



【図3】



20

37aa、37cc LDD領域

18、38、38a、58 レジストパターン

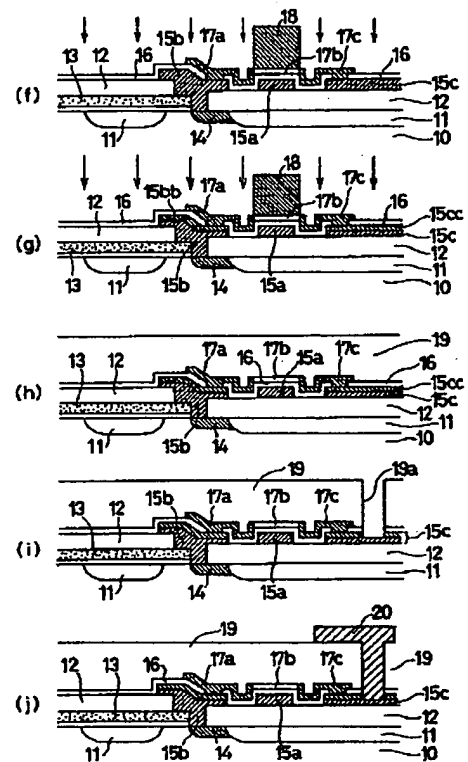
19、39、59 CVD酸化膜

20、40、60 配線層

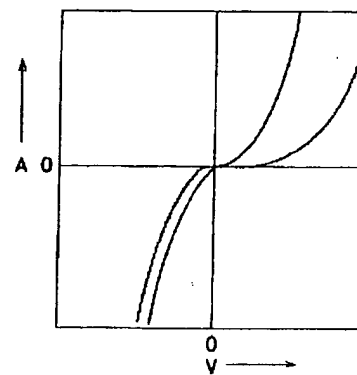
62 導電体膜 (チタン膜)

62a 窒化導電体膜 (窒化チタン膜)

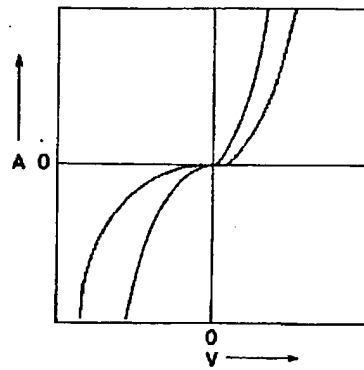
【図2】



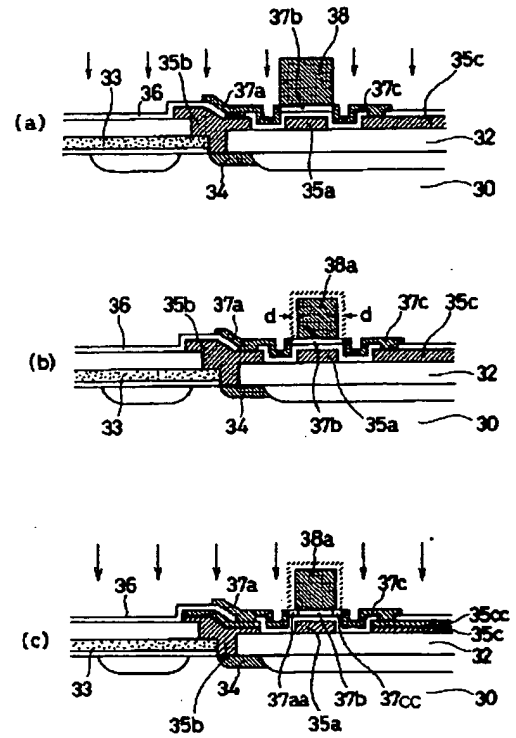
【図4】



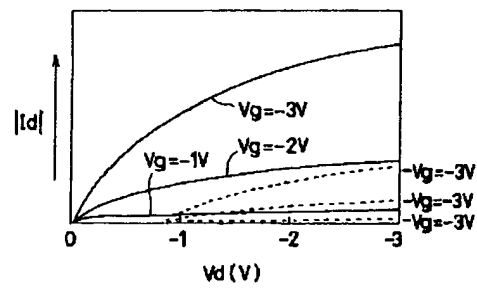
【図5】



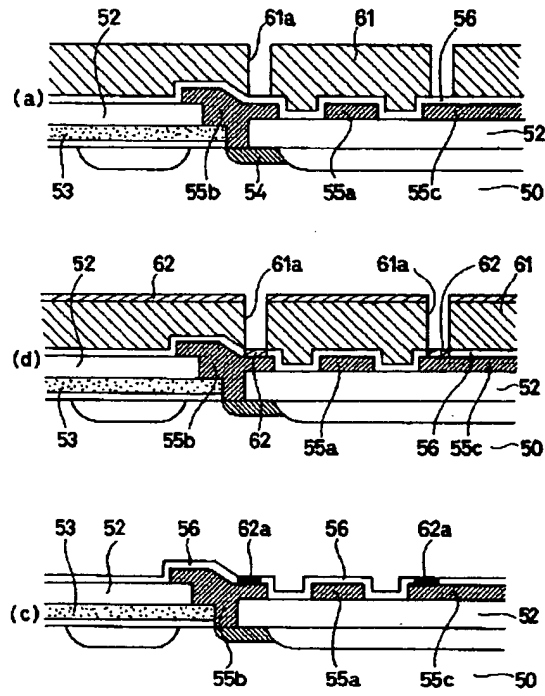
【図6】



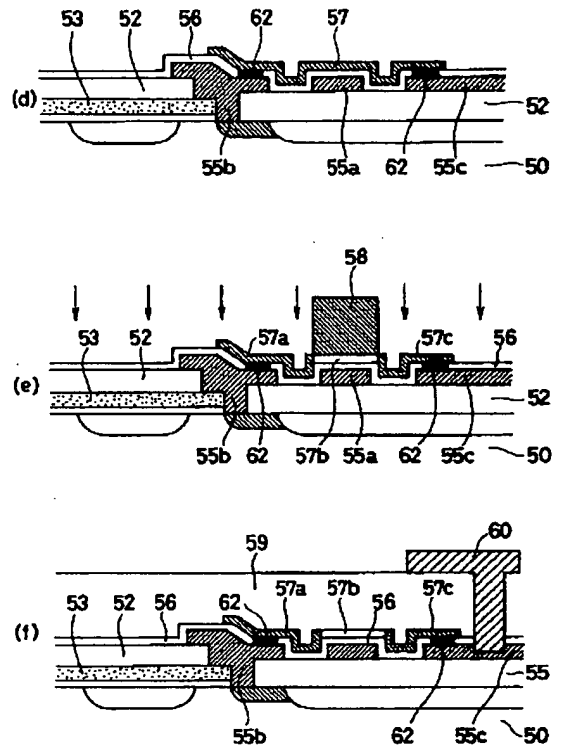
【図9】



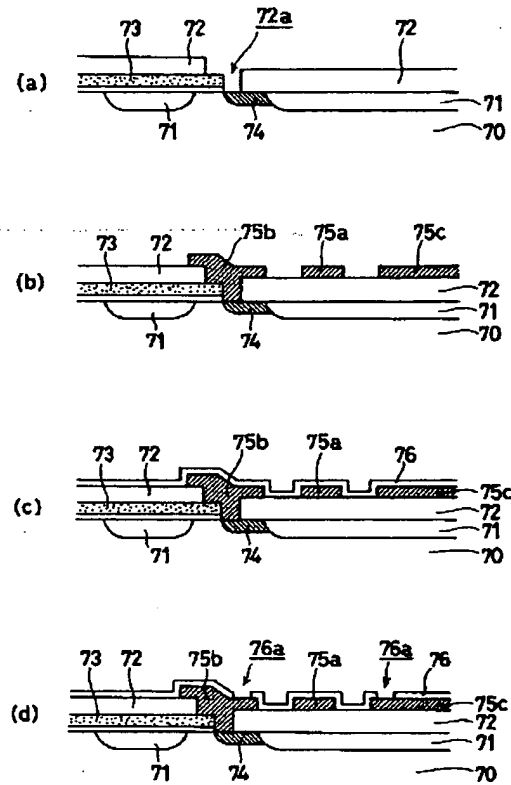
【図7】



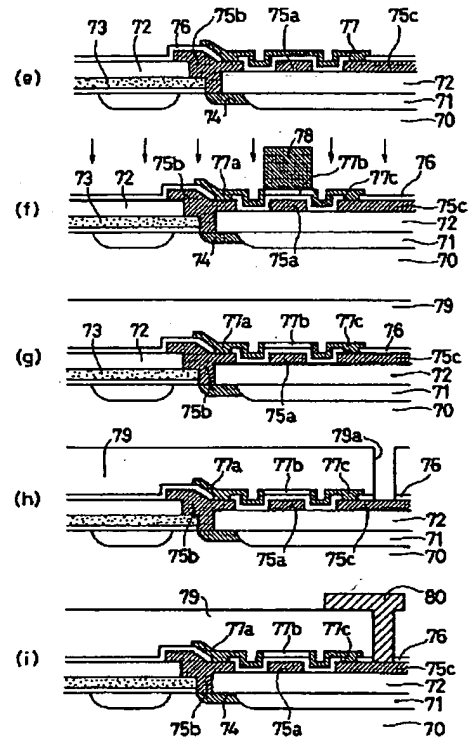
【図8】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁶
H01L 21/336

識別記号 片内整理番号

9056-4M

F I

H01L 29/78

技術表示箇所

311 C